

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-311146  
(P2002-311146A)

(43) 公開日 平成14年10月23日 (2002. 10. 23)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 0 1 T 1/24		G 0 1 T 1/24	2 G 0 8 8
H 0 1 L 27/14		H 0 1 L 27/14	K 4 M 1 1 8

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2001-119742 (P2001-119742)

(22) 出願日 平成13年4月18日 (2001. 4. 18)

(71) 出願人 000236436

浜松ホトニクス株式会社  
静岡県浜松市市野町1126番地の1

(72) 発明者 岡本 浩二

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 藤井 義磨郎

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外2名)

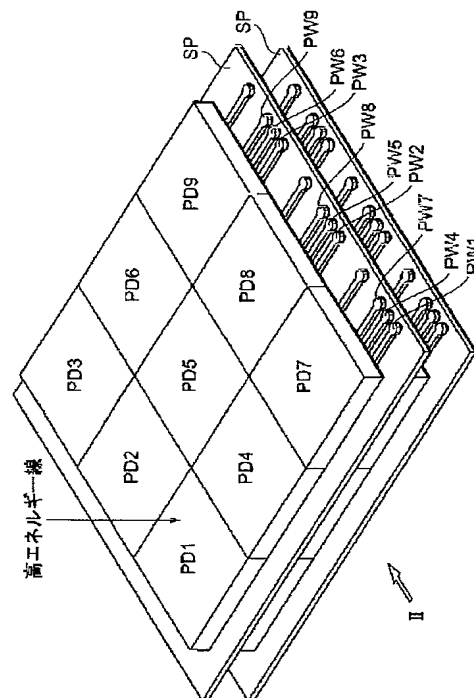
最終頁に続く

(54) 【発明の名称】 高エネルギー線検出器及び装置

(57) 【要約】

【課題】 検出器間の不感領域が小さな高エネルギー線検出器及び高エネルギー線検出装置を提供する。

【解決手段】 この検出器PD1は、高エネルギー線の入射にตอบสนองしてキャリアを発生する半導体基板1sを備え、半導体基板1sの一方面（第1表面とする）側にキャリアを収集するためのアノード電極1a及びカソード電極1cを配置し、これらの電極1a、1cの一方を半導体基板1sを貫通する導電体C D Tを介して半導体基板1sの他方面（第2表面とする）側に接続してなる。半導体基板1sは高エネルギー線の入射にตอบสนองしてキャリア（電子・正孔）を発生するが、アノード電極1a及びカソード電極1cは共に半導体基板の一方面側に設けられているので、バンプを介して同一面側に位置する配線パターンに接続することが出来る。これを二次元状に配置した場合には検出器間の不感領域を小さくすることができる。



【特許請求の範囲】

【請求項1】 高エネルギー線の入射に応答してキャリアを発生する半導体基板を備える高エネルギー線検出器において、前記半導体基板の一方面側に前記キャリアを収集するためのアノード及びカソード電極を配置し、これらの電極の一方を前記半導体基板を貫通する導電体を介して前記半導体基板の他方面側に接続してなる高エネルギー線検出器。

【請求項2】 前記アノード及びカソード電極はバンプを介して支持基板上に形成されたパターン配線に接続されていることを特徴とする請求項1に記載の高エネルギー線検出器。

【請求項3】 請求項1に記載の高エネルギー線検出器を二次元状に複数配置してなる高エネルギー線検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、宇宙線、 $\alpha$ 線、 $\beta$ 線、 $\gamma$ 線等の高エネルギー線を検出するための高エネルギー線検出器及び装置に関する。

【0002】

【従来の技術】高エネルギー線検出の技術分野においては、エネルギー線の多くが半導体基板を透過することが知られている。そこで、エネルギー線の実効的吸収領域を増加させるため、複数の半導体基板を重ね合わせる等の試みが行われている。例えば、特開平4-343086号公報に記載の装置は、積層される基板周辺部の厚みを薄くすることによりエネルギー線入射方向（積層方向）におけるワイヤボンディングによるデッドスペースをなくし、高密度に積層することを可能にした優れた装置である。

【0003】一方、基板の平面方向（二次元方向）に複数の検出器を、ワイヤボンディングのスペースをなくし高密度に並べ、検出器間の不感領域を小さくすることができれば、高エネルギー線の入射位置或いはその一次元又は二次元的広がりにより構成される入射像を高分解能で検出することができる。

【0004】

【発明が解決しようとする課題】しかしながら、従来の高エネルギー線検出器においては、半導体基板の一方面側の電極はバンプを介して同一面側に位置する配線パターンに接続することができるが、他方面側の電極はボンディングワイヤを介して配線パターンに接続しなければならない。このような接続は、検出器間の不感領域を小さくすることが出来ない。

【0005】そこで、半導体基板の同一面側にアノード及びカソード電極を設け、それぞれの電極に接続される半導体層を、この同一面側に共に配置する手法が、可視光像検出器には用いられてきた。ところが、高エネルギー線の検出においては、実効的高エネルギー線吸収領域を増加させるため、半導体基板内の空乏層を基板厚み方

向の略全域に広げる必要があり、このような電極の同一面側配置の構成は採用することができなかった。

【0006】本発明は、このような課題に鑑みてなされたものであり、エネルギー線入射方向（積層方向）におけるワイヤボンディングのスペースをなくし高密度に並べ、検出器間の不感領域を小さくすることが出来る高エネルギー線検出器及び高エネルギー線検出装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上述の課題を解決するため、本発明に係る高エネルギー線検出器は、高エネルギー線の入射に応答してキャリアを発生する半導体基板を備える高エネルギー線検出器において、前記半導体基板の一方面側に前記キャリアを収集するためのアノード及びカソード電極を配置し、これらの電極は前記半導体基板の一方面側から前記半導体基板を貫通する導電体を介して前記半導体基板の他方面側に接続してなる。

【0008】この高エネルギー線検出器によれば、半導体基板は高エネルギー線の入射に応答してキャリア（電子・正孔）を発生するが、これらのキャリアはアノード及びカソード電極に収集され、キャリア流量の示す電流が高エネルギー線の入射強度に対応することとなる。アノード及びカソード電極は共に半導体基板の一方面側に設けられているので、バンプを介して同一面側に位置する配線パターンに接続することが出来る。これを二次元状に配置した場合にはエネルギー線入射方向（積層方向）におけるワイヤボンディングのスペースをなくし高密度に並べ、検出器間の不感領域を小さくすることができる。

【0009】ここで、電極の一方は半導体基板を貫通する導電体を介して半導体基板の他方面側に接続されているので、アノード及びカソード電極に所定電位を与えると、半導体基板の一方及び他方の面双方に、この電位を与えることができる。なお、導電体とは金属であってもよいが、高濃度に不純物を添加した半導体であってもよい。高エネルギー線検出器の半導体基板は、逆バイアス電圧等が与えられることにより使用されるので、前記所定電位は半導体基板に逆バイアス電圧等が印加されるように設定される。

【0010】半導体基板内に空乏層を発生させる構造としては、PN接合構造が好ましいが、ショットキ接触構造を用いることもできる。

【0011】半導体基板の他方面には、上記貫通導電体を介してアノード又はカソード電極が接続されているが、この接続構造は、他方面へのワイヤボンディングによる電極への直接接合構造と比較すると、半導体基板の一方面から他方面に上記貫通導電体を介してアノード又はカソード電極が接続されている構造のほうが電流通過経路全体の抵抗値が高くなり、この抵抗値を提供する部分に半導体基板への印加電圧が消費され、空乏層形成

に寄与する電圧成分が減少する。勿論、印加電圧を上昇させれば空乏層を基板厚み方向の略全域に広げることができるが、これは消費電力の増加、抵抗部分における発熱、発熱による温度特性の変化を生じさせる。高エネルギー線の検出においては、極めて精密な測定が要求されるため、かかる抵抗成分は減少させられることが望ましい。

【0012】そこで、本発明の高エネルギー線検出器においては、半導体基板の前記他方面側に、高エネルギー線の主吸収領域よりも高いキャリア濃度の半導体層を設け、この半導体層に導電体を接続することとした。低い印加電圧で空乏層を形成するためには半導体基板を高抵抗とすればよいが、上記抵抗成分の減少の観点から、導電体に接続される基板他方面側の半導体層は、半導体基板よりも高いキャリア濃度を有することとし、この半導体層の平面形状はベタ型、格子（網目）状、螺旋状、或いは同心円状などのパターンを有してもよい。

【0013】本発明の高エネルギー線検出器においては、アノード及びカソード電極がバンプを介して支持基板上に形成されたパターン配線に接続されている場合にエネルギー線入射方向（積層方向）におけるワイヤーボンディングのスペースをなくし高密度に並べ、検出器間の不感領域を小さくすることができる。

【0014】更に、高エネルギー線検出器を二次元状に複数配置してなる高エネルギー線検出装置は、個々の検出器からの出力信号を独立に取出すことにより高エネルギー線の入射位置或いはその二次元又は二次元像を検出することができる。

【0015】

【発明の実施の形態】以下、実施の形態に係る高エネルギー線検出器及び当該検出器を二次元状に複数配列してなる高エネルギー線検出装置について説明する。なお、同一要素には同一符号を用い、重複する説明は省略する。

【0016】図1は、第1の実施形態に係る高エネルギー線検出装置の斜視図、図2は図1に示した装置を矢印II方向から見た当該装置の側面図である。

【0017】支持基板（配線基板、回路基板）SP上には、高エネルギー線検出装置を構成する検出器PD1～PD9が複数取付けられ、これらは二次元状に配置されている。本検出器においては、アノード及びカソード電極がバンプを介して支持基板上に形成されたパターン配線に接続されているので、積層させることができる。同図においては、2層の積層されるユニットを示すが、これは3層以上であってもよい。

【0018】この高エネルギー線検出装置は、個々の検出器PD1～PD9からの出力信号をパターン配線PW1～PW9を介して独立に取出すことにより高エネルギー線の入射位置或いはその二次元又は二次元像を検出することができる。なお、各パターン配線PW1～PW9

は、厚さ15 $\mu$ mのバンプ（バンプ電極）Bを介して検出器PD1～PD9のアノード及びカソード電極のいずれか一方にそれぞれ接続されており、パターン配線PWGはアノード及びカソード電極の他方に接続されている。個々の検出器PD1～PD9の構造は同一である。したがって、以下では、1つの検出器PD1の構造について説明する。

【0019】第1の実施形態に係る検出器PD1の断面図を図3に示す。なお、断面図においては内部構造を分かり易く説明するため必要に応じてハッチングの記載を省略する。この検出器PD1は、高エネルギー線の検出に用いられる高エネルギー線検出器であり、縦横の寸法は11mm×11mm、厚さは0.5mmである。

【0020】検出器PD1は、高エネルギー線の入射に応答してキャリアを発生する半導体基板1sを備えており、半導体基板1sの一方面（第1表面とする）側にキャリアを収集するためのアノード電極1a及びカソード電極1cを配置し、アノード電極1aを半導体基板1sを貫通する導電体CDTを介して半導体基板1sの他方面（第2表面とする）側に接続してなる。

【0021】本例においては、第1表面は基板下面であり、第2表面は基板上面である。なお、説明において、エネルギー線が入射する側を第2表面とする。

【0022】なお、電極1a、1cは、バンプBを介して上述のパターン配線に接続される。バンプBは、Ni/Auからなる。

【0023】この高エネルギー線検出器によれば、半導体基板1sは高エネルギー線の入射に応答してキャリア（電子・正孔）を発生するが、これらのキャリアはアノード及びカソード電極に収集され、キャリア流量の示す電流が高エネルギー線の入射強度に対応することとなる。アノード電極1a及びカソード電極1cは共に半導体基板の一方面側に設けられているので、バンプを介して同一面側に位置する配線パターンに接続することが出来る。これを二次元状に配置した場合には基板の平面方向（二次元方向）に複数の検出器を、ワイヤーボンディングのスペースをなくし高密度に並べ、検出器間の不感領域を小さくすることができる。

【0024】なお、半導体基板1sは、内部にPN接合を有しており（PN接合ダイオード）、このダイオードに逆バイアスを印加することにより、接合界面から広がる空乏層（エネルギー線主吸収領域）を形成する。

【0025】ここでは、逆バイアス時に電子を収集する側をカソード（N型半導体）とし、他方をアノードとし、それぞれのキャリアを収集する電極をカソード電極1c、アノード電極1aとして説明する。

【0026】第1表面側に設けられた電極1a、1cの一方（電極1a）は、半導体基板1sを貫通する導電体CDTを介して半導体基板1sの第2表面側に接続されているので、アノード及びカソード電極1a、1cに所

定電位を与えると、半導体基板1sの第1及び第2表面の双方に、この電位を与えることができる。なお、導電体CDTは、金属であってもよいが、高濃度に不純物を添加した半導体であってもよい。また、本例においては貫通孔の直径は約100 $\mu$ mに設定される。高エネルギー線検出器PD1の半導体基板1sは、上述のように逆バイアス電圧が与えられることにより使用される。半導体基板1sの第1及び第2表面双方を介して逆バイアス電圧を印加すると、半導体基板1s内に形成される空乏層は基板厚さ方向の略全域に広げることができる。

【0027】半導体基板1s内部の構造について詳説する。低濃度N型半導体基板1iの第2表面側に高濃度P型半導体層（拡散層）1pが、第1表面側に高濃度N型半導体層（拡散層）1nが位置し、これらはPIN構造を構成している。

【0028】P型半導体層1pは、第2表面上に設けられた補助電極1a'に電気的及び物理的に接続されており、補助電極1a'は導電体CDTを介して第1表面側のアノード電極1aに電気的に接続されている。アノード電極1a、カソード電極1c、補助電極1a'はAlからなる。

【0029】N型半導体層1nは、第1表面上に設けられたカソード電極1cに電気的及び物理的に接続されている。

【0030】各電極1c、1aは、半導体基板1sの第1表面に設けられた絶縁膜ISTのコンタクトホール内に形成されている。また、絶縁膜ISTは導電体CDTが埋め込まれる貫通孔の内面を構成するように延びてお

り、導電体CDTと周囲の半導体材料とを絶縁している。なお、絶縁膜ISTはSiO<sub>2</sub>又はSiNxからなる。また、補助電極1a'がエネルギー線入射部（検出領域10mm×10mm）を被覆してもよい。

【0031】補助電極1a'の周囲には第2表面を被覆する金属製遮光（蔽）膜1shが設けられており、遮光膜1shは、P型半導体層1pの周囲に設けられた高濃度N型半導体コンタクト層1ctに電気的に接続され、遮光膜1shには必要に応じて接地電位が与えられる。もちろん、遮光膜1shを導電体CDTに電気的に接続してもよい。なお、遮光膜1shは、厚さ1 $\mu$ mのAlからなる。

【0032】コンタクト層1ctは、P型半導体層1pの接合界面からチップのエッジにまで空乏層が広がるのを抑制するチャネルストップとして機能する。チップのダイシング時にはチップエッジに結晶欠陥が発生し、これがノイズの原因となっている。本例では、コンタクト層1ctがチャネルストップとして機能しているので、このような原因によるノイズを抑制することができる。コンタクト層1ctの幅は、空乏層がエッジに到達しない程度に設定される。

【0033】半導体基板1s内に空乏層を発生させる構造としては、上記の如くPN接合構造が好ましいが、ショットキ接触構造を用いることもできる。

【0034】なお、各半導体の材料、不純物濃度、厚みは以下の通りである。

【0035】

【表1】

	材料	不純物	不純物濃度	厚み
P型半導体層1p	Si	B	$1 \times 10^{19} / \text{cm}^3$ 以上	0.5 $\mu$ m
半導体層1i	Si	P	比抵抗で10k $\Omega \cdot \text{cm}$	約500 $\mu$ m
N型半導体層1n	Si	P	$2 \times 10^{18} / \text{cm}^3$	1 $\mu$ m
コンタクト層1ct	Si	P	$2 \times 10^{18} / \text{cm}^3$	1 $\mu$ m

【0036】また、導電体CDTの材料としてはInを用いることができるが、高濃度に不純物が添加されることにより低抵抗化された多結晶Si等を用いてもよい。

【0037】次に、上記検出器の製造方法について説明する。

【0038】①まず、高抵抗半導体基板1sを用意し、第1表面側にN型半導体層1nを形成する。これは第1表面からN型不純物を拡散させることによって形成してもよいが、イオン注入法を用いることもできる。

【0039】②次に、第2表面側にコンタクト層1ctを形成する。これは第2表面からN型不純物を拡散させることによって形成してもよいが、イオン注入法を用いることもできる。

【0040】③更に、第2表面側に形成された環状のコンタクト層1ctの内側に、P型半導体層1pを形成する。これは第2表面からP型不純物を拡散させることに

よって形成してもよいが、イオン注入法を用いることもできる。

【0041】④次に、第2表面から第1表面に貫通する貫通孔を複数形成する。貫通孔の形成にはICP（誘導結合プラズマ）エッチング等のドライエッチングを用いる。

【0042】⑤更に、露出した第1及び第2表面及び貫通孔の内壁を熱酸化することによって、SiO<sub>2</sub>からなる絶縁膜ISTを形成する。

【0043】⑥次に、形成された貫通孔内にIn等の導電体CDTを埋め込む。

【0044】⑦第2表面上の絶縁膜ISTにコンタクトホールを形成し、コンタクトホール内にAlを蒸着することにより、補助電極1a'及び遮光膜1shを形成する。

【0045】⑧第1表面上の絶縁膜ISTにコンタクト

ホールを形成し、コンタクトホール内にA1を蒸着することにより、アノード及びカソード電極1a、1cを形成する。

【0046】⑨アノード及びカソード電極1a、1c上にバンプBを形成し、これを配線基板SP上のパターン配線に取付ける。

【0047】以上のようにして製造された検出器PD1を1つずつ配線基板SP上に取付けることにより、図1に示した検出装置を製造することができる。

【0048】次に、第2の実施形態に係る高エネルギー線検出器について説明する。

【0049】図4は、この検出器PD1の断面図である。本検出器PD1は、第1の実施形態におけるN型半導体層1nとP型半導体層1pの位置を入れ替えることにより、エネルギー線の主吸収領域を構成するPN接合界面を基板下面（第1表面）側に位置させ、当該検出器を、裏面側からエネルギー線が入射する裏面入射型検出器としたものであり、説明において断りのない限り、その構成、材料や不純物濃度、逆バイアス電圧の印加等については、第1の実施形態のものと同一である。

【0050】本例において、エネルギー線が入射する側を第2表面とするので、上述の実施形態と同様に、第1表面は基板下面であり、第2表面は基板上面である。

【0051】本例の検出器PD1においては、上記入れ替えによって、アノード及びカソード電極1a、1cの位置が入れ替わり、貫通孔内に位置する導電体CDTは、カソード電極1cを第2表面に接続することとなる。アノード及びカソード電極1a、1cは、バンプBによって上述の配線パターンに接続される。導電体CDTの配置される貫通孔の内面には、上述の絶縁膜ISTに代えて高濃度にN型不純物が添加された高濃度N型半導体領域がコンタクト層1ctから延びて位置する。また、第1表面上にはパッシベーション膜（絶縁膜）PVが形成され、そのコンタクトホール内にアノード及びカソード電極1a、1cが形成される。

【0052】すなわち、第1の実施形態においては、導電体CDTによるP型半導体層1pとN型半導体層1nとの電気的接続を抑制するように貫通孔内に絶縁膜ISTを形成したが、本例では半導体層1i、N型半導体層1n及びコンタクト層1ctが共に同一導電型であるため、このような絶縁処理を行わなくても良いという利点がある。勿論、行ってもよい。

【0053】また、P型半導体層1pは第1表面側に位置することになったので、チャネルストップとしても機能するコンタクト層1ctはP型半導体層1pの周囲を囲むように第1表面側に位置し、上記貫通孔はコンタクト層1ctを貫通している。P型半導体層1pの寸法は縦横が10mm×10mmに設定される。

【0054】第2表面は、図3に示した補助電極1a'及び遮光膜1shを一体化してなる補助電極1c'によ

って被覆され、補助電極1c'は導電体CDTに電気的及び物理的に接続され、導電体CDTを介して基板表面側のカソード電極1cに電気的に接続されている。基板上面側に位置することとなったN型半導体層1nは網目等のパターンを有し、N型半導体層1nは基板上面側に位置するアキュムレーション層1ac内に位置する。なお、補助電極1c'は、第2表面を被覆しており、全面被覆しても良いし、N型半導体層1nの形状に略一致するパターンを有し、これに重なるように半導体層1n上に位置させても良い。

【0055】すなわち、この高エネルギー線検出器においては、半導体基板1sの第2表面側に、高エネルギー線の主吸収領域1iよりも高いキャリア濃度であって所定パターンを有する半導体層1nを設け、この半導体層1nに導電体CDTを電気的に接続している。

【0056】低い印加電圧で空乏層を形成するためにはキャリア濃度を低くすればよいので、半導体基板1sにおける高エネルギー線の主吸収領域1iは比較的低いキャリア濃度に設定されるが、上述の抵抗成分減少の観点から、導電体CDTに接続される基板裏面側の半導体層1nは、これよりも高いキャリア濃度を有することとし、この半導体層1nの平面形状は格子（網目）状、螺旋状、或いは同心円状などの所定パターンを有することとした。

【0057】また、この検出器PD1においては、入射した高エネルギー線によって入射面表面近傍で発生したキャリアも検出したく、再結合を抑制するよう、半導体基板1sよりも高く、半導体層1nよりも低いキャリア濃度を有し、半導体基板1sの第2表面における露出面から基板内部に向かう深さを有するアキュムレーション層1acを形成し、前記アキュムレーション層1ac内に、半導体層1nは形成されている。

【0058】半導体の露出面においては、構成原子の非結合手が表面準位を形成すると共に多くの欠陥準位が存在し、半導体内部においては不整合原子が再結合中心を形成する傾向にあるが、これらの物理的要因は入射線に応じて発生したキャリアの再結合確率を増加させてしまう。アキュムレーション層は、その形成時には不整合原子のゲッタリングを促進させ、形成後においては露出面近傍におけるキャリアの再結合を抑制する。

【0059】アキュムレーション層1acは、抵抗率の低下が目的ではないので、上述のような機能を奏するよう、前記半導体層1nよりも低いキャリア濃度を有することとし、内部に半導体層1nが形成されていることとした。なお、本例におけるアキュムレーション層1acはSiからなり、厚みはN型半導体層1nよりも薄く設定される。

【0060】なお、図5は、格子状のパターンを有するN型半導体層1nの平面図である。N型半導体層1nの1つの格子の幅は20μmであり、補助電極1c'によ

り被覆される。これにより直列抵抗を更に下げることができ、より高速な応答が実現できる。

【0061】次に、本実施形態に係る検出器の製造方法について説明する。

【0062】①まず、高抵抗の半導体基板を用意し、第1表面の周辺領域及び第2表面の周辺領域及び検出領域内のパターン形成領域にコンタクト層1c t及びN型半導体層1nを形成する。これは第1及び第2表面からN型不純物を拡散させることによって形成してもよいが、イオン注入法を用いることもできる。これらの厚さは共に1.0 $\mu$ mとする。

【0063】②次に、第1表面側に形成された環状のコンタクト層1c tの内側に、P型半導体層1pを形成する。これは第2表面からP型不純物を拡散させることによって形成してもよいが、イオン注入法を用いることもできる。

【0064】③次に、第2表面から第1表面に貫通する貫通孔を複数形成する。貫通孔の形成にはICPエッチング等のドライエッチングを用いる。

【0065】④更に、貫通孔の内壁にN型不純物を添加することにより、コンタクト層1c tを貫通孔内面にも形成し、周囲の低濃度N型半導体層1iと共にハイロー接合を形成する。

【0066】⑤次に、1n等の導電体CDTを形成された貫通孔内に埋め込む。

【0067】⑥更に、第2表面の受光部にアキュムレーション層1a cを形成する。これは第2表面からN型不純物を拡散させることによって形成してもよいが、イオン注入法を用いることもできる。

【0068】⑦更に、第1および第2表面上に絶縁膜ISTを形成し、第1表面上の絶縁膜ISTにコンタクトホールを形成し、コンタクトホール内にAlを蒸着することにより、アノード電極及びカソード電極1a、1cを形成し、第2表面上の絶縁膜ISTの所定領域内及びN型半導体層1nのパターン形状に併せた領域内にコンタクトホールを形成し、コンタクトホール内にAlを蒸着することにより、補助電極1c'を形成する。

【0069】⑧第1表面上にパッシベーション膜PVを形成する。パッシベーション膜PVはSiO<sub>2</sub>からなり、この形成にはCVD（化学的気相成長）法を用いる。

【0070】⑨第1表面上のパッシベーション膜PVに電気的な接続をとるための開口部を形成し、続いて、アノード及びカソード電極1a、1c上にバンプBを形成し、これを配線基板SP上のパターン配線に取付ける。

【0071】以上のようにして製造された検出器PD1を1つずつ配線基板SP上に取付けることにより、図1に示した検出装置を製造することができる。

【0072】以上説明したように、上述の高エネルギー線検出器PD1によれば、デッドスペースを低減することにより、高分解能の高エネルギー線検出装置を提供することができる。なお、上記半導体材料におけるN型及びP型の導電性は、反転させることもできる。

【0073】

【発明の効果】本発明の高エネルギー線検出器によれば、デッドスペースを低減することにより、高分解能の高エネルギー線検出装置を提供することができる。

【図面の簡単な説明】

【図1】高エネルギー線検出装置の斜視図である。

【図2】図1に示した装置を矢印I I方向から見た当該装置の側面図である。

【図3】検出器PD1の断面図である。

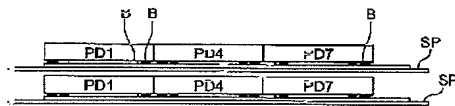
【図4】別のタイプの検出器PD1の断面図である。

【図5】格子状のパターンを有するN型半導体層1nの平面図である。

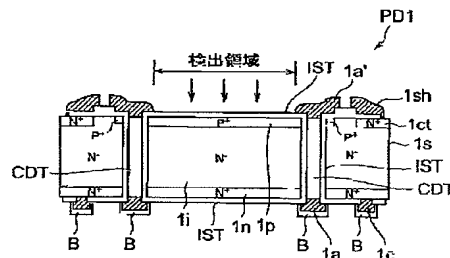
【符号の説明】

1a c…アキュムレーション層、1a…アノード電極、1c…カソード電極、1c t…コンタクト層、1sh…金属製遮光膜、1p…P型半導体層、1n…N型半導体層、1i…半導体層、1c'…補助電極、1a'…補助電極、B…バンプ、IST…絶縁膜、PD1…半導体エネルギー線検出器、PV…絶縁膜、PW1…パターン配線、PWG…パターン配線、SP…支持基板。

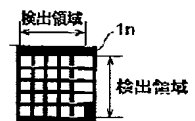
【図2】



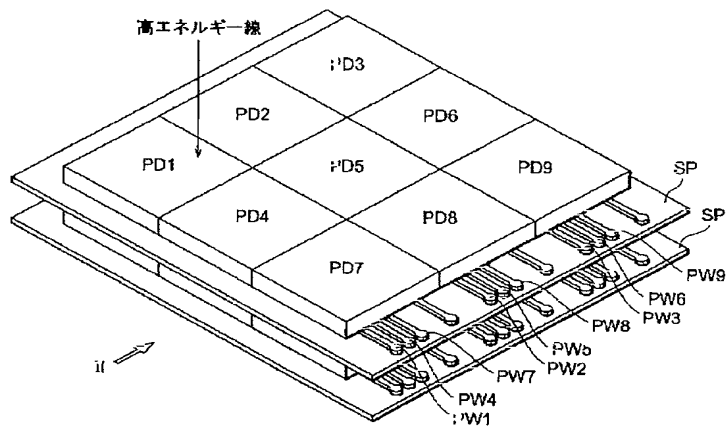
【図3】



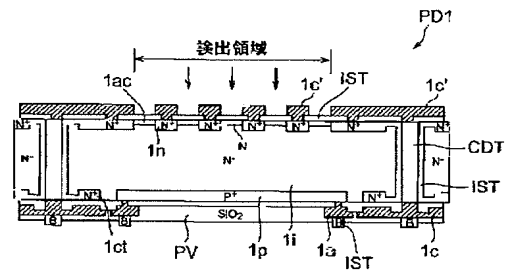
【図5】



【図1】



【図4】



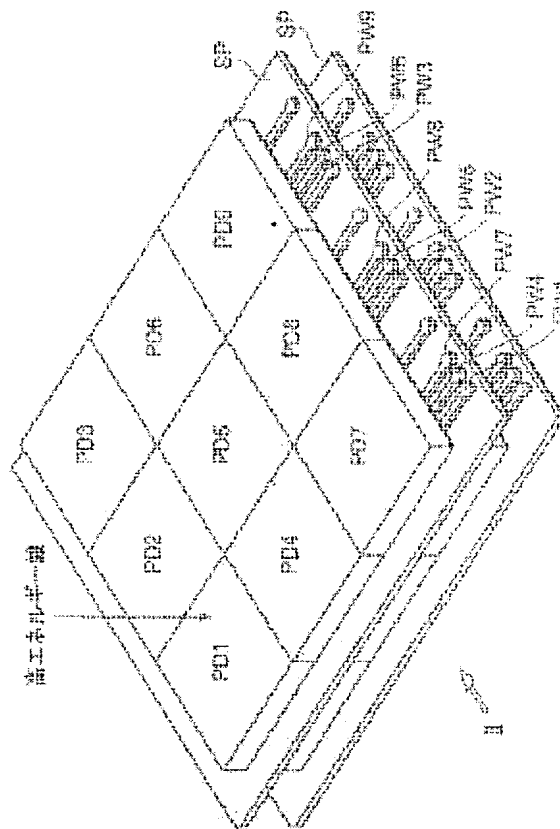
フロントページの続き

F ターム(参考) 2G088 EE30 FF04 FF05 FF06 GG21  
JJ05 JJ09 JJ31 JJ33  
4M118 AA01 AB10 BA06 CA03 CB11  
HA31

## Abstract of JP 2002311146 (A)

**PROBLEM TO BE SOLVED:** To provide a device and an apparatus, for detecting a high-energy beam, wherein a dead region between detectors is small.

**SOLUTION:** The detector PD1 is provided with a semiconductor substrate 1s which responds to the incidence of the high-energy beam so as to generate carriers. An anode electrode 1a and a cathode electrode 1c which are used to collect the carriers are arranged on the side on one face (designated as a first surface) of the semiconductor substrate 1s. One from among the electrodes 1a, 1c is connected to the side on the other face (designated as a second surface) of the semiconductor substrate 1s via an electric conductor CDT which passes through the semiconductor substrate 1s. The semiconductor substrate 1s responds to the incidence of the high-energy beam so as to generate the carriers (electrons, holes). Since both the anode electrode 1a and the cathode electrode 1c are installed on the side on one face of the semiconductor substrate, they can be connected to a wiring pattern situated on the side on the same face. When they are arranged in a two-dimensional shape, the dead region between the detectors can be reduced.



Data supplied from the **espacenet** database — Worldwide